

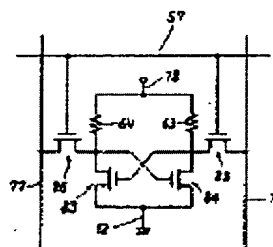
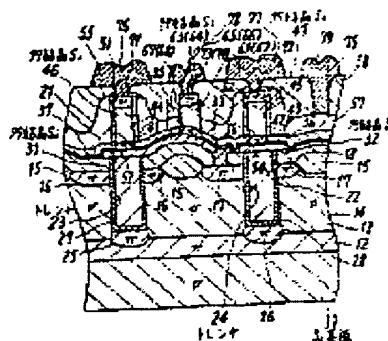
SEMICONDUCTOR MEMORY

Patent number: JP1265558
Publication date: 1989-10-23
Inventor: NAKAJIMA HIDEHARU
Applicant: SONY CORP
Classification:
 - International: H01L27/10; G11C11/40
 - european:
Application number: JP19880092976 19880415
Priority number(s):

Abstract of JP1265558

PURPOSE: To make a memory high in integration by a method wherein a driving transistor and a transistor used for a resistance load and switching both are formed into an upright structure.

CONSTITUTION: In a semiconductor memory, driving transistors 83 and 84 are provided with gate electrodes 31 and 32 buried in trenches 23 and 24 which are formed on a semiconductor substrate 11 and concurrently the side walls of the trenches 23 and 24 serve as channel regions of the transistors 83 and 84. Resistance loads are composed of first pillarshaped semiconductor layers 63 and 64 formed on the semiconductor substrate 11, and switching transistors 85 and 86 make second columnar semiconductor layers 47 and 46 serve as channel regions. And, as the driving transistors 83 and 84, the resistance loads 63 and 64, and the switching transistors 85 and 86 are all of an upright structure, a memory cell is small in area and thus a semiconductor memory of this design can be made high in integration.



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-265558

⑤ Int.Cl.⁴

H 01 L 27/10
G 11 C 11/40

識別記号

3 8 1
3 0 1

庁内整理番号

8624-5F
7230-5B

⑬ 公開 平成1年(1989)10月23日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体メモリ

⑯ 特 願 昭63-92976

⑰ 出 願 昭63(1988)4月15日

⑱ 発 明 者 中 嶋 英 晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 土 屋 勝

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

ドライバ用のトランジスタ及び抵抗負荷を有するフリップフロップとスイッチング用のトランジスタとを用いてメモリセルが構成されている半導体メモリにおいて、

前記ドライバ用のトランジスタは半導体基板に形成されているトレンチ内に埋め込まれているゲート電極を有すると共に前記トレンチの側壁をチャンネル領域としており、

前記抵抗負荷は前記半導体基板上に形成されている第1の柱状半導体層で形成されており、

前記スイッチング用のトランジスタは前記半導体基板上に形成されている第2の柱状半導体層をチャンネル領域としている半導体メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はドライバ用のトランジスタ及び抵抗負荷を有するフリップフロップとスイッチング用のトランジスタとを用いてメモリセルが構成されている半導体メモリに関するものである。

(発明の概要)

本発明は、上記の様な半導体メモリにおいて、ドライバ用のトランジスタと抵抗負荷とスイッチング用のトランジスタとの何れをも縦型構造とすることによって、高集積化が可能である様にしたものである。

(従来の技術)

半導体メモリの集積度を高めるには、メモリセルの面積を小さくする必要がある。このために本出願人は、半導体基板にトレンチを形成し、このトレンチ内に抵抗負荷とドライバ用のトランジスタのゲート電極とを形成したMOS-SRAMを、

特願昭61-231699号として既に提案した。 いる。

〔発明が解決しようとする課題〕

しかし上述のMOS-SRAMでも、スイッチング用のトランジスタは、トレンチ外において半導体基板の表面に沿って形成されている。このため、メモリセルの面積が十分に小さいとは言えず、集積度が必ずしも高くなかった。

〔課題を解決するための手段〕

本発明による半導体メモリでは、ドライバ用のトランジスタ83、84は半導体基板11に形成されているトレンチ23、24内に埋め込まれているゲート電極31、32を有すると共に前記トレンチ23、24の側壁をチャネル領域としており、抵抗負荷は前記半導体基板11上に形成されている第1の柱状半導体層63、64で形成されており、スイッチング用のトランジスタ85、86は前記半導体基板11上に形成されている第2の柱状半導体層46、47をチャネル領域として

〔作用〕

本発明による半導体メモリでは、ドライバ用のトランジスタ83、84と抵抗負荷63、64とスイッチング用のトランジスタ85、86との何れもが縦型構造であるので、メモリセルの面積が小さい。

〔実施例〕

以下、第4図に示す様なMOS-SRAMに適用した本発明の一実施例を、第1図～第3図を参照しながら説明する。

第1図及び第2図が本実施例における1つのメモリセルを示しているが、まずこの様な本実施例の製造工程を第3図に基づいて説明する。

この製造工程では、第3A図に示す様に、p形のSi基板11の表面に、Sb等のn形不純物を含むn⁺層12を溝状に形成する。そして、p形のSiエピタキシャル層13をSi基板11上に形

成する。従って、Si基板11とSiエピタキシャル層13とがSi基体14となっている。

次に、素子間分離用のSiO₂膜15をSi基体14の表面に形成し、Si基体14の全面に対するn形不純物のイオン注入及びアニールを行って、素子形成領域にn⁺領域16、17を形成する。

次に、Si基体14の全面にSiO₂膜18を形成し、このSiO₂膜18のうちでn⁺領域16、17に対応する所定部分に開口21、22を形成する。そして、この状態のSiO₂膜18をマスクにしてSi基体14をエッチングして、Si基体14にトレンチ23、24を形成する。

その後、再びSi基体14の全面に対するn形不純物のイオン注入及びアニールを行って、トレンチ23、24の底部からn⁺層12にまで達するn⁺領域25、26を形成する。

次に、Si基体14を熱酸化して、トレンチ23、24の内面にSiO₂膜27、28を形成する。そして、n形不純物を含む多結晶Siの堆積及びエッチングを行って、トレンチ23、24をこの多

結晶Si31、32で埋める。

次に、第3B図及び第2図に示す様に、n⁺領域16、17に達するコンタクト窓33、34をSiO₂膜18に形成する。そして、n形不純物を含む多結晶Siを薄く堆積させ且つパターニングを行って、多結晶Si31、32とn⁺領域17、16とを接続する多結晶Si膜35、36を形成する。

次に、第3C図に示す様に、Si基体14上の全面に薄いSiN膜37を形成し、このSiN膜37のうちでトレンチ23、24に対応する部分にコンタクト窓41、42を形成する。

次に、Si基体14上の全面にCVDでSiO₂膜43を形成し、コンタクト窓41、42上にマスク合わせをして、多結晶Si膜35、36にまで達する穴44、45をSiO₂膜43に形成する。

次に、不純物を含むしない多結晶SiをSiO₂膜43上に堆積させ、この多結晶Siの平坦化及びエッチバックを行って、穴44、45をこの多結晶Si46、47で埋める。

次に、Si基体14上の全面に対するn形不純物のイオン注入及びアニールを行う。これらの処理によって、多結晶Si46、47のうちでSiO₂膜43の表面近傍にn⁺領域51、52が形成されるが、上記のアニールによる多結晶Si膜35、36からの固相拡散によって、多結晶Si46、47のうちで多結晶Si膜35、36の近傍にもn⁺領域53、54が形成される。

次に、第3D図に示す様に、SiO₂膜43が所定の厚さだけ残る様にこのSiO₂膜43をエッチングして、柱状の多結晶Si46、47を露出させる。なお、SiO₂膜18上にはSiN膜37を形成してあるので、SiO₂膜43のうちで過剰にエッチングされる部分があっても、SiO₂膜18、15がエッチングされることはない。

次に、Si基体14を熱酸化して、柱状の多結晶Si46、47の外面にSiO₂膜55、56を形成する。そして、不純物を含有する多結晶Si膜57の堆積及びバクーニングを行う。

次に、Si基体14上の全面に層間絶縁膜58を

堆積させ、多結晶Si膜35、36にまで達するコンタクト窓61、62を層間絶縁膜58に形成する。その後、不純物を含有しない多結晶Siを層間絶縁膜58上に堆積させ、この多結晶Siの平坦化及びエッチバックを行って、コンタクト窓61、62をこの多結晶Si63、64で埋める。

次に、Si基体14の全面に対するn形不純物のイオン注入及びアニールを行う。これらの処理によって、多結晶Si63、64のうちで層間絶縁膜58の表面近傍にn⁺領域65、66が形成されるが、上記のアニールによる多結晶Si膜35、36からの固相拡散によって、多結晶Si63、64のうちで多結晶Si膜35、36の近傍にもn⁺領域67、68が形成される。

次に、第1図に示す様に、層間絶縁膜58を更に厚く堆積させ、n⁺領域51、52、65、66及び多結晶Si膜57にまで達するコンタクト窓71~75を層間絶縁膜58、SiO₂膜55、56に形成する。そして、これらのコンタクト窓71~75を埋める様に、Al配線76~79を形成

する。

なお、溝状に延びている複数のn⁺層12に対しては、その各々に対して1個ずつのコンタクト窓81を形成し、これらのコンタクト窓81を埋める様にAl配線82を形成して、n⁺層12を所定の電位に保持している。但し、必要であれば、コンタクト窓81をメモリセル毎に形成してもよい。

本実施例では、第1図、第2図及び第4図の比較からも明らかな様に、多結晶Si31、32、SiO₂膜27、28及びn⁺領域16、17、25、26でドライバ用のトランジスタ83、84が構成されており、多結晶Si63、64が抵抗負荷となっており、多結晶Si膜57、SiO₂膜55、56及びn⁺領域51~54でスイッチング用のトランジスタ85、86が構成されている。

また、Al配線76、77がビット線となっており、スイッチング用のトランジスタ85、86のゲート電極である多結晶Si膜57がワード線を兼用しており、Al配線78及びn⁺層12が夫

々電源線及び接地線となっている。

この様な本実施例では、ドライバ用のトランジスタ83、84と多結晶Si63、64から成っている抵抗負荷とスイッチング用のトランジスタ85、86との何れもが縦型構造であるので、配線ルールが0.8 μmであれば、メモリセルの面積を5 μm×4 μm以下とすることも可能である。

また、既述の先願における様に抵抗負荷がトレレンチの下半分に形成されているわけではないので、抵抗負荷である多結晶Si63、64と電源線であるAl配線78との接続が容易である。

また、Al配線76、77から成っているビット線が、一定電位のAl配線78から成っている電源線に挟まれてシールドされているので、カップリングノイズが少ない。

(発明の効果)

本発明による半導体メモリでは、メモリセルの面積が小さいので、高集積化が可能である。

4. 図面の簡単な説明

第1図及び第2図は本発明の一実施例の夫々側断面図及び平面図、第3図は一実施例の製造工程を順次に示す側断面図、第4図は本発明を適用し得るMOS-SRAMの回路図である。

なお図面に用いた符号において、

11Si基板

23,24トレンチ

31,32,46,47,63,64

.....多結晶Si

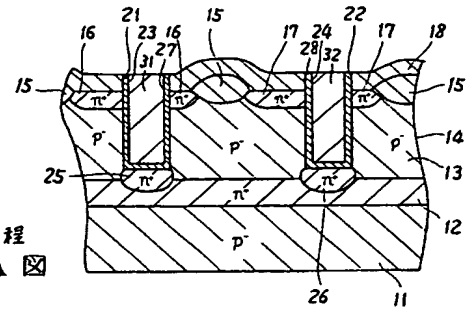
83,84ドライブ用のトランジスタ

85,86スイッチング用のトランジスタ

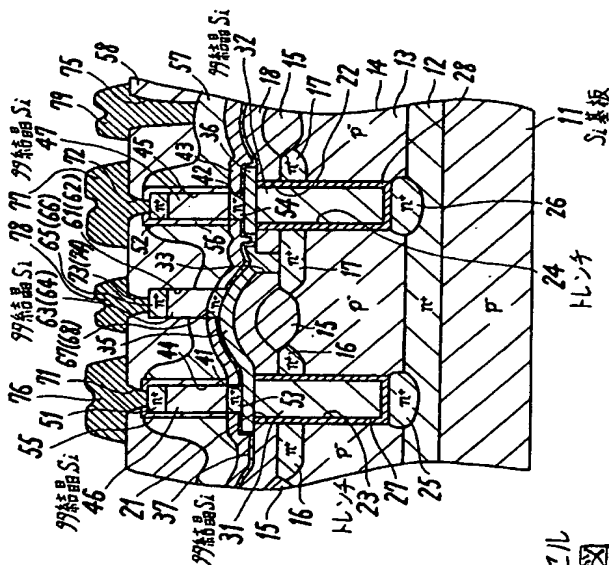
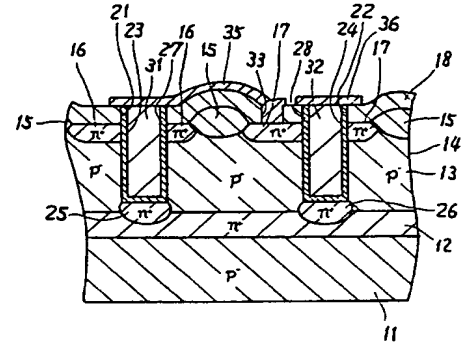
である。

代理人 土屋 勝

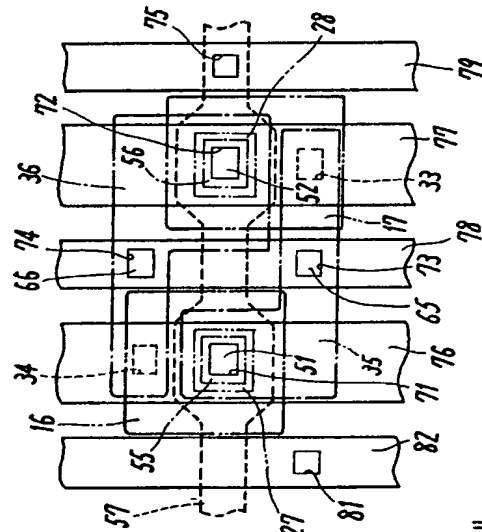
製造工程
第3A図



第3B図

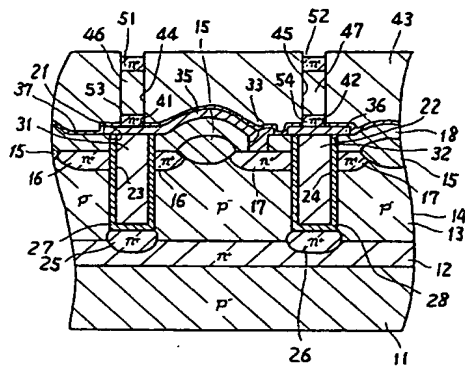


メモリセル
第1図

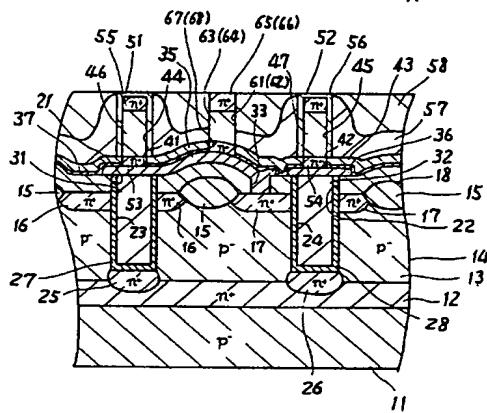


メモリセル
第2図

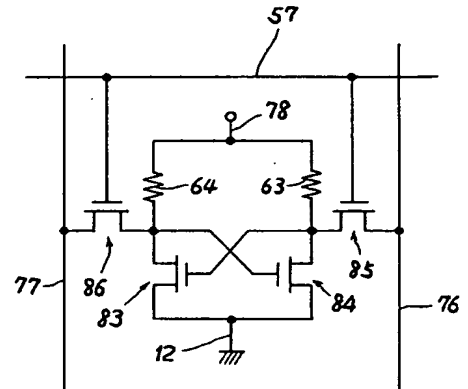
第3C図



第3D図



83, 84: ドライバ用のトランジスタ
85, 86: スイッチング用のトランジスタ



メモリセルの回路図
第4図